

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日      2003年 5月16日  
Date of Application:

出願番号      特願2003-139563  
Application Number:

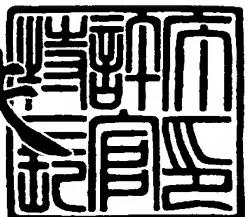
[ST. 10/C] :      [JP2003-139563]

出願人      株式会社半導体エネルギー研究所  
Applicant(s):

2004年 1月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 P007144

【提出日】 平成15年 5月16日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 安西 彩

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 優

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 86605

【出願日】 平成15年 3月26日

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 素子基板及び発光装置

【特許請求の範囲】

【請求項 1】

発光素子と、

前記発光素子に流れる電流値を決定する第1のトランジスタと、

ビデオ信号によって、前記発光素子の発光、非発光を決定する第2のトランジスタと、

前記ビデオ信号の入力を制御する第3のトランジスタとを画素に有する発光装置であって、

第1の電源と第3の電源との間に、前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタが直列に接続され、

前記第3のトランジスタのゲート電極は第1の走査線と接続され

前記第1のトランジスタのゲート電極は第2の走査線と接続されていることを特徴とする発光装置。

【請求項 2】

請求項1において、

前記第1のトランジスタ及び前記第2のトランジスタの極性が同じ極性であることを特徴とする発光装置。

【請求項 3】

請求項1または請求項2において、

前記第1のトランジスタはディプリーション型であることを特徴とする発光装置。

【請求項 4】

請求項1乃至請求項3のいずれか1項において、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短いことを特徴とする発光装置。

【請求項 5】

請求項 4 において、

前記第 1 のトランジスタはそのチャネル幅に対するチャネル長の比が 5 以上であることを特徴とする発光装置。

【請求項 6】

画素電極と、

前記画素電極に流れる電流値を決定する第 1 のトランジスタと、  
ビデオ信号によって、前記画素電極への電流の供給の有無を決定する第 2 のトランジスタと、

前記ビデオ信号の入力を制御する第 3 のトランジスタとを画素に有する素子基板であって、

第 1 の電源と前記画素電極との間に、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、

前記第 3 のトランジスタのゲート電極は第 1 の走査線と接続され、  
前記第 1 のトランジスタのゲート電極は第 2 の走査線と接続されていることを特徴とする素子基板。

【請求項 7】

請求項 6 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が同じ極性であることを特徴とする素子基板。

【請求項 8】

請求項 6 または請求項 7 において、

前記第 1 のトランジスタはディプリーション型であることを特徴とする素子基板。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか 1 項において、

前記第 1 のトランジスタはそのチャネル長がチャネル幅より長く、  
前記第 2 のトランジスタはそのチャネル長がチャネル幅と同じかそれより短いことを特徴とする素子基板。

【請求項 10】

請求項9において、

前記第1のトランジスタはそのチャネル幅に対するチャネル長の比が5以上であることを特徴とする素子基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を発光素子に供給するための手段と発光素子とが、複数の各画素に備えられた発光装置に関する。

【0002】

【従来の技術】

発光素子は自ら発光するため視認性が高く、液晶表示装置（LCD）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため近年、発光素子を用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、OLED（Organic Light Emitting Diode）や、FED（Field Emission Display）に用いられているMIM型の電子源素子（電子放出素子）等を含んでいる。

【0003】

なお発光装置とは、パネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、パネルが完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。

【0004】

発光素子の1つであるOLED（Organic Light Emitting Diode）は、電場を加えることで発生するルミネッセンス（Electroluminescence）が得られる電界発光材料を含む層（以下、電界発光層と記す）と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（

蛍光) と三重項励起状態から基底状態に戻る際の発光(リン光) とが含まれる。

### 【0005】

次に、一般的な発光装置の画素の構成とその駆動について簡単に説明する。図7に示した画素は、スイッチング用トランジスタ700、消去用トランジスタ708、駆動用トランジスタ701と、容量素子702と、発光素子703とを有している。スイッチング用トランジスタ700は、ゲートが第1の走査線705に接続されており、ソースとドレインが一方は信号線704に、もう一方は駆動用トランジスタ701のゲートに接続されている。駆動用トランジスタ701は、ソースが電源線706に接続されており、ドレインが発光素子703の陽極に接続されている。消去用トランジスタ708は、ゲートが第2の走査線709に接続されており、ソースが電源線706に、ドレインが駆動用トランジスタ701のゲートに接続されている。発光素子703の陰極は対向電極707に接続されている。容量素子702は駆動用トランジスタ701のゲートとソース間の電位差を保持するように設けられている。また、電源線706、対向電極707には、電源からそれぞれ所定の電圧が印加されており、互いに電位差を有している。

### 【0006】

第1の走査線705の信号によりスイッチング用トランジスタ700がオンになると、信号線704に入力されたビデオ信号が駆動用トランジスタ701のゲートに入力される。この入力されたビデオ信号の電位と電源線706の電位差が駆動用トランジスタ701のゲート・ソース間電圧 $V_{gs}$ となり、発光素子703に電流が供給され、発光素子703が発光する。

### 【0007】

#### 【発明が解決しようとする課題】

ところで、例えば、ポリシリコンを用いたトランジスタは、電界効果移動度が高く、オン電流が大きいので、発光装置のトランジスタとして適している。しかし、ポリシリコンを用いたトランジスタは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

### 【0008】

図7に示した画素において、駆動用トランジスタ701のドレイン電流が画素

毎にはらつくと、ビデオ信号の電位が同じであっても駆動用トランジスタ701のドレン電流が画素間で異なり、結果的に発光素子703の輝度ムラが生じてしまうという問題があった。

### 【0009】

ドレン電流のばらつきを抑制する手段として、特願2003-008719号で提案した、駆動用トランジスタ701のL/W（L：チャネル長、W：チャネル幅）を大きくする方法がある。ここで、駆動用トランジスタ701の飽和領域におけるドレン電流  $I_{ds}$  は式1で与えられる。

### 【0010】

#### 【式1】

$$I_{ds} = \beta (V_{gs} - V_{th})^2 / 2$$

### 【0011】

式1から、駆動用トランジスタ701の飽和領域におけるドレン電流  $I_{ds}$  は  $V_{gs}$  の僅かな変化に対しても流れる電流に大きく影響するため、発光素子703が発光している期間に駆動用トランジスタ701のゲート・ソース間に保持した電圧  $V_{gs}$  が変化しないように注意する必要がある。そのためには駆動用トランジスタ701のゲート・ソース間に設けられた容量素子702の容量を大きくすることや、スイッチング用トランジスタ700、消去用トランジスタ708のオフ電流を低く抑える必要がある。

### 【0012】

スイッチング用トランジスタ700、消去用トランジスタ708のオフ電流を低く抑えること、且つ、大きな容量を充電するためにスイッチング用トランジスタ700、消去用トランジスタ708のオン電流を高くすることはトランジスタ作製プロセスにおいては難しい課題である。

### 【0013】

また、スイッチング用トランジスタ700、消去用トランジスタ708のスイッチングや信号線、走査線の電位の変化等に伴い、駆動用トランジスタ701の  $V_{gs}$  が変化してしまうという問題もある。これは、駆動用トランジスタ701のゲートにつく寄生容量によるものである。

**【0014】**

本発明は上述した問題に鑑み、スイッチング用トランジスタ700、消去用トランジスタ708のオフ電流を低く抑えたり、容量素子702の容量も大きくしたりしなくても、発光素子に流れる電流に影響しない。また、寄生容量による影響も受けにくい、且つ、駆動用トランジスタ701の特性のばらつきに起因する、画素間における発光素子703の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

**【0015】****【課題を解決するための手段】**

本発明では、駆動用トランジスタを消去用トランジスタと兼ね、前記駆動用トランジスタは飽和領域で動作させる。前記駆動用トランジスタのゲートを第2の走査線に接続し、前記駆動用トランジスタは、前記第2の走査線の電位により、電流を流せる状態、流せない状態に選択できる。また、前記駆動用トランジスタと直列に、線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号は前記電流制御用トランジスタのゲートに入力する。

**【0016】**

前記電流制御用トランジスタは線形領域で動作するため前記電流制御用トランジスタのソース・ドレイン間電圧 $V_{ds}$ は小さく、前記電流制御用トランジスタのゲート・ソース間電圧 $V_{gs}$ の僅かな変動は、発光素子に流れる電流に影響しない。発光素子に流れる電流は飽和領域で動作する前記駆動用トランジスタにより決定される。前記駆動用トランジスタのゲートの電位は前記第2の走査線の電位であり、前記駆動用トランジスタのソースの電位は前記電流制御用トランジスタのドレインの電位であり、前記駆動用トランジスタの $V_{gs}$ は発光素子が発光している期間不变である。よって、前記電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、前記スイッチング用トランジスタのオフ電流を低く抑えたりしなくても、発光素子に流れる電流に影響しない。また、前記電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

**【0017】**

また、前記スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

**【0018】****【発明の実施の形態】****(実施の形態1)**

図1に、本発明の発光装置が有する画素の一実施形態を示す。図1に示す画素は、発光素子104と、ビデオ信号の画素への入力を制御するためのスイッチング素子として用いるトランジスタ（スイッチング用トランジスタ）101と、発光素子104に流れる電流値を制御する駆動用トランジスタ102、発光素子104への電流の供給を制御する電流制御用トランジスタ103とを有している。さらに本実施の形態のように、ビデオ信号の電位を保持するための容量素子105を画素に設けても良い。

**【0019】**

駆動用トランジスタ102及び電流制御用トランジスタ103は同じ極性を有する。本発明では、駆動用トランジスタ102を飽和領域で、電流制御用トランジスタ103を線形領域で動作させる。

**【0020】**

また、駆動用トランジスタ102のLをWより長く、電流制御用トランジスタ103のLをWと同じか、それより短くてもよい。より望ましくは、駆動用トランジスタ102のWに対するLの比が5以上にするとよい。

**【0021】**

また、駆動用トランジスタ102にはエンハンスマント型トランジスタを用いてもよいし、ディプリーション型トランジスタを用いてもよい。

**【0022】**

また、スイッチング用トランジスタ101はN型トランジスタを用いてもよいし、P型トランジスタを用いてもよい。

**【0023】**

スイッチング用トランジスタ101のゲートは、第1の走査線G<sub>a</sub>j (j = 1 ~ y) に接続されている。スイッチング用トランジスタ101のソースとドレインは、一方が信号線S<sub>i</sub> (i = 1 ~ x) に、もう一方が電流制御用トランジスタ103のゲートに接続されている。駆動用トランジスタ102のゲートは第2の走査線G<sub>e</sub>j (j = 1 ~ y) に接続されている。そして駆動用トランジスタ102及び電流制御用トランジスタ103は、電源線V<sub>i</sub> (i = 1 ~ x) から供給される電流が、駆動用トランジスタ102及び電流制御用トランジスタ103のドレイン電流として発光素子104に供給されるように、電源線V<sub>i</sub> (i = 1 ~ x) 、発光素子104と接続されている。本実施の形態では、電流制御用トランジスタ103のソースが電源線V<sub>i</sub> (i = 1 ~ x) に接続され、駆動用トランジスタ102のドレインが発光素子104の画素電極に接続される。

#### 【0024】

発光素子104は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図1のように、陽極が駆動用トランジスタ102と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子104の対向電極と、電源線V<sub>i</sub> (i = 1 ~ x) のそれぞれには、発光素子104に順バイアス方向の電流が供給されるように、電位差が設けられている。

#### 【0025】

容量素子105が有する2つの電極は、一方は電源線V<sub>i</sub> (i = 1 ~ x) に接続されており、もう一方は電流制御用トランジスタ103のゲートに接続されている。容量素子105はスイッチング用トランジスタ101が非選択状態（オフ状態）にある時、容量素子105の電極間の電位差を保持するために設けられている。なお図1では容量素子105を設ける構成を示したが、本発明はこの構成に限定されず、容量素子105を設けない構成にしても良い。

#### 【0026】

図1では駆動用トランジスタ102および電流制御用トランジスタ103をP型トランジスタとし、駆動用トランジスタ102のドレインと発光素子104の陽極とを接続した。逆に駆動用トランジスタ102および電流制御用トランジスタ103をN型トランジスタとするならば、駆動用トランジスタ102のソース

と発光素子104の陰極とを接続する。この場合、発光素子104の陰極が画素電極、陽極が対向電極となる。

### 【0027】

次に、図1に示した画素の駆動方法について説明する。図1に示す画素は、その動作を書き込み期間、点灯期間および非点灯期間とに分けて説明することができる。

### 【0028】

まず書き込み期間において第1の走査線G<sub>a</sub>j (j = 1 ~ y) が選択されると、第1の走査線G<sub>a</sub>j (j = 1 ~ y) にゲートが接続されているスイッチング用トランジスタ101がオンになる。そして、信号線S<sub>1</sub> ~ S<sub>x</sub>に入力されたビデオ信号が、スイッチング用トランジスタ101を介して電流制御用トランジスタ103のゲートに入力される。同時に、ビデオ信号の電位は容量素子105によって保持される。

### 【0029】

点灯期間では第2の走査線G<sub>e</sub>j (j = 1 ~ y) が選択され、第2の走査線G<sub>e</sub>j (j = 1 ~ y) にゲートが接続されている駆動用トランジスタ102がオンになる。このとき容量素子105によって保持されたビデオ信号の電位により、電流制御用トランジスタ103がオンになる場合は、電源線V<sub>i</sub> (i = 1 ~ x) を介して電流が発光素子104に供給される。このとき電流制御用トランジスタ103は線形領域で動作しているため、発光素子104に流れる電流は、飽和領域で動作する駆動用トランジスタ102と発光素子104の電圧電流特性によって決まる。そして発光素子104は、供給される電流に見合った高さの輝度で発光する。

### 【0030】

また容量素子105によって保持されたビデオ信号の電位によって電流制御用トランジスタ103がオフになる場合は、発光素子104への電流の供給は行なわれず、発光素子104は発光しない。

### 【0031】

非点灯期間では、第2の走査線G<sub>e</sub>j (j = 1 ~ y) により、駆動用トランジ

スタ 102 はオフとする。これにより、発光素子 104 への電流の供給は行なわれない。

### 【0032】

なお、書き込み期間において、第 2 の走査線  $G_{e,j}$  ( $j = 1 \sim y$ ) を選択しても、非選択としてもよい。

### 【0033】

次に、横方向に隣り合って配置された画素を、一度に点灯・非点灯させる線順次方式において、赤色、青色、緑色に発光する発光素子を組み合わせてカラー表示を行う場合を説明する。カラー表示を行う場合、色ごとに発光素子に使われる材料を変えたり、カラーフィルターを通して発光素子を点灯させるなどの方法がある。このとき、各発光素子に同じ大きさの電流を流しても、発光素子の材料の違いや、カラーフィルターの透過率の違いなどから、正しくカラーが表示できない場合がある。

### 【0034】

例えば、画素内の駆動用トランジスタの  $L$  及び  $W$  のサイズを変更することで、色ごとに発光輝度が異なる発光素子を設けることができる。

### 【0035】

また、画素内の駆動用トランジスタの閾値電圧を変更することで、色ごとに発光輝度が異なる発光素子を設けることができる。

### 【0036】

図 2 に示すような画素配置の接続について説明する。赤の画素 201、緑の画素 202、青の画素 203 において、各画素内のスイッチング用トランジスタのゲートが第 1 の走査線  $G_{a,j}$  ( $j = 1 \sim y$ ) に、駆動用トランジスタのゲートが第 2 の走査線  $G_{e,j}$  ( $j = 1 \sim y$ ) に接続をしている。各画素内のスイッチング用トランジスタのソースとドレインは、一方が、赤の画素 201 では信号線  $S_{r,i}$  ( $i = 1 \sim x$ ) に、緑の画素 202 では信号線  $S_{g,i}$  ( $i = 1 \sim x$ ) に、青の画素 203 では信号線  $S_{b,i}$  ( $i = 1 \sim x$ ) に、もう一方が各画素内の電流制御用トランジスタのゲートに接続されている。各画素内の電流制御用トランジスタのソースは、赤の画素 201 では電源線  $V_{r,i}$  ( $i = 1 \sim x$ )、緑の画素 202

では電源線  $V_{g i}$  ( $i = 1 \sim x$ ) 、青の画素 203 では電源線  $V_{b i}$  ( $i = 1 \sim x$ ) に接続しており、色ごとに電源線を分けることで、各画素内の駆動トランジスタのソース・ゲート間電圧  $V_{g s}$  を変えることができる。これにより、色ごとに発光素子に流れる電流値を変えることが可能である。

### 【0037】

図3に示すような画素配置の接続について説明する。赤の画素 301、緑の画素 302、青の画素 303 において、各画素内のスイッチング用トランジスタのゲートが第1の走査線  $G_{a j}$  ( $j = 1 \sim y$ ) に、電流制御用トランジスタのソースが電源線  $V_i$  ( $i = 1 \sim x$ ) に接続をしている。各画素内のスイッチング用トランジスタのソースとドレインは、一方が、赤の画素 301 では信号線  $S_{r i}$  ( $i = 1 \sim x$ ) に、緑の画素 302 では信号線  $S_{g i}$  ( $i = 1 \sim x$ ) に、青の画素 303 では信号線  $S_{b i}$  ( $i = 1 \sim x$ ) に、もう一方が各画素内の電流制御用トランジスタのゲートに接続されている。各画素内の駆動用トランジスタのゲートは、赤の画素 301 では第2の走査線  $G_{e r j}$  ( $j = 1 \sim y$ ) 、緑の画素 302 では第3の走査線  $G_{e g j}$  ( $j = 1 \sim y$ ) 、青の画素 203 では第4の走査線  $G_{e b j}$  ( $j = 1 \sim y$ ) に接続しており、色ごとに駆動用トランジスタのゲートが接続される走査線を分けることで、各画素内の駆動トランジスタのソース・ゲート間電圧  $V_{g s}$  を変えることができる。これにより、色ごとに発光素子に流れる電流値を変えることが可能である。

### 【0038】

なお素子基板は、本発明の発光装置を作製する過程における、発光素子が形成される前の一形態に相当する。

### 【0039】

本発明の発光装置において用いられるトランジスタは、単結晶シリコンを用いて形成されたトランジスタであっても良いし、SOIを用いたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良いし、カーボンナノチューブを用いたトランジスタであってもよい。また本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良

いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

#### 【0040】

上記構成により、電流制御用トランジスタ103は線形領域で動作するため電流制御用トランジスタ103のソース・ドレイン間電圧 $V_{ds}$ は小さく、電流制御用トランジスタ103のゲート・ソース間電圧 $V_{gs}$ の僅かな変動は、発光素子104に流れる電流に影響しない。発光素子104に流れる電流は飽和領域で動作する駆動用トランジスタ102により決定される。駆動用トランジスタ102のゲートの電位は第2の走査線の電位であり、駆動用トランジスタ102のソースの電位は電流制御用トランジスタ103のドレインの電位であり、駆動用トランジスタ102の $V_{gs}$ は発光素子104が発光している期間不変である。よって、電流制御用トランジスタ103のゲート・ソース間に設けられた容量素子105の容量を大きくしたり、スイッチング用トランジスタ101のオフ電流を低く抑えたりしなくても、発光素子104に流れる電流に影響しない。また、電流制御用トランジスタ103のゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

#### 【0041】

また、スイッチング用トランジスタ101はオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

#### 【0042】

##### 【実施例】

以下に、本発明の実施例について記載する。

#### 【0043】

##### [実施例1]

アクティブマトリクス型表示装置に本発明の画素構成が使用される場合、その構成と駆動について説明する。

#### 【0044】

図8に外部回路のブロック図とパネルの概略図を示す。

#### 【0045】

図8に示すように、アクティブマトリクス型表示装置は外部回路8004及びパネル8010を有する。外部回路8004はA/D変換部8001、電源部8002及び信号生成部8003を有する。A/D変換部8001はアナログ信号で入力された映像データ信号をデジタル信号（ビデオ信号）に変換し、信号線駆動回路8006へ供給する。電源部8002はバッテリーやコンセントより供給された電源から、それぞれ所望の電圧値の電源を生成し、信号線駆動回路8006、第1の走査線駆動回路8007、第2の走査信号線駆動回路8012、OLED素子8011、信号生成部8003等に供給する。信号生成部8003には、電源、映像信号及び同期信号等が入力され、各種信号の変換を行う他、信号線駆動回路8006、第1の走査線駆動回路8007及び第2の走査線駆動回路8012を駆動するためのクロック信号等を生成する。

#### 【0046】

外部回路8004からの信号及び電源はFPCを通し、パネル8010内のFPC接続部8005から内部回路等に入力される。

#### 【0047】

また、パネル8010は基板8008上に、FPC接続部8005、内部回路が配置され、また、OLED素子8011を有する。内部回路は信号線駆動回路8006、第1の走査線駆動回路8007、第2の走査線駆動回路8012及び画素部8009を有する。前記画素部8009に本発明の実施形態に挙げたいずれかの画素構成を採用することができる。

#### 【0048】

基板中央には画素部8009が配置され、その周辺には、信号線駆動回路8006、第1の走査線駆動回路8007及び第2の走査線駆動回路8012が配置されている。OLED素子8011及び、前記発光素子の対向電極は画素部8009全体面に形成されている。

#### 【0049】

動作について、図9及び図4を用い説明する。図9に第1の走査線駆動回路8007のブロック図を、図4に信号線駆動回路8006のブロック図を示す。

**【0050】**

第1の走査線駆動回路8007及び第2の走査線駆動回路8012はD-フリップフロップ9001を複数段用いてなるシフトレジスタ9002、レベルシフタ9003及びバッファ9004等を有する。

**【0051】**

入力される信号はクロック信号線（G-C K）、反転クロック信号線（G-C KB）及びスタートパルス（G-S P）とする。なお、第2の走査線駆動回路8012の構成は第1の走査線駆動回路8007と同様とするが、前記スタートパルス（G-S P）のタイミング及びパルス幅はそれぞれ異なる。

**【0052】**

また、信号線駆動回路8006はD-フリップフロップ4001を複数段用いてなるシフトレジスタ4002、データラッチ回路4003、ラッチ回路4004、レベルシフタ4005及びバッファ4006等を有する。

**【0053】**

入力される信号はクロック信号線（S-C K）、反転クロック信号線（S-C KB）、スタートパルス（S-S P）、ビデオ信号（D A T A）及びラッチパルス（L a t c h P u l s e）とする。

**【0054】**

まず、クロック信号、反転クロック信号及びスタートパルスのタイミングに従って、第1の走査信号線駆動回路8007のシフトレジスタ9002より、順次サンプリングパルスが output され、走査線G1～Gmが順に選択される。

**【0055】**

次に、クロック信号、反転クロック信号及びスタートパルスのタイミングに従って、シフトレジスタ4002より、順次サンプリングパルスが output される。サンプリングパルスはデータラッチ回路4003へ入力され、そのタイミングで、ビデオ信号を取り込み、保持する。この動作が一列目から順に行われる。

**【0056】**

最終段のデータラッチ回路4003においてビデオ信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、データラッチ回路4003において

保持されているビデオ信号は一斉にラッチ回路4004へと転送される。その後、レベルシフタ4005においてレベルシフトされ、バッファ4006において整形された後、信号線S1からS<sub>n</sub>へ一斉に出力される。その際、走査線駆動回路8007によって選択された第1の走査線の画素へ、Hレベル、Lレベルが入力され、OLED素子8011の発光、非発光を制御する。

#### 【0057】

このとき、OLED素子8011の発光期間においては、第2の走査線駆動回路8012からそれぞれの第2の走査線へ駆動用トランジスタがオンする電位が出力される。また、所望の発光期間が終了し、非発光期間に移ると、前記駆動用トランジスタがオフする電位が出力される。

#### 【0058】

本実施例にて示したアクティブマトリクス型表示装置はパネル8010と外部回路8004が独立されているが、これらを同一基板上に一体形成して作製してもよい。また、表示装置は例として、OLEDを使用したものとしたが、OLED以外の発光素子を利用した発光装置でもよい。また、信号線駆動回路8006内にレベルシフタ4005及びバッファ4006が無くてもよいし、第1の走査線駆動回路8007及び第2の走査線駆動回路8012内にレベルシフタ9003及びバッファ9004が無くてもよい。

#### 【0059】

##### 【実施例2】

本実施例では、実施形態の図3において説明した、駆動トランジスタのゲート電極に印加される電圧を赤色、緑色、青色の画素ごとに分けることで、ホワイトバランス調節する方法を採用した場合の、第2の走査線駆動回路の一実施例について説明する。図10に本実施例の第2の走査線駆動回路のブロック図を、図3に本実施例の画素を示す。

#### 【0060】

第2の走査線駆動回路8012はD-フリップフロップ1001を複数段用いてなるシフトレジスタ1002、レベルシフタ1003及びバッファ1004等を有する。

**【0061】**

入力される信号はクロック信号線（G-C K）、反転クロック信号線（G-C K B）及びスタートパルス（G-S P）とする。

**【0062】**

また、走査線 G e r j (j = 1 ~ y)、G e g j (j = 1 ~ y)、G e b j (j = 1 ~ y) ごとに接続されるバッファ 1004 の電源線を分ける。具体的には前記走査線 G e r j に接続されるバッファには電源線 R を接続し、前記走査線 G e g j に接続されるバッファには電源線 G を接続し、前記走査線 G e b j に接続されるバッファには電源線 B を接続する。また、バッファ 1004 を設けない場合は、レベルシフタ 1003 の電源線を走査線 G e r j、G e g j、G e b j ごとに分けてもよい。

**【0063】**

また赤の画素 301 の消去には走査線 G e r j (j = 1 ~ y) を、緑の画素 302 の消去には G e g j (j = 1 ~ y) を、青の画素 303 の消去には G e b j (j = 1 ~ y) を用いる。

**【0064】****[実施例 3]**

本実施例では、図 1 に示した画素の、上面図の一実施例について説明する。図 5 に本実施例の画素の上面図を示す。

**【0065】**

5001 は信号線、5002 は電源線に相当し、5004 は第 1 の走査線、5003 は第 2 の走査線に相当する。本実施例では、信号線 5001 と電源線 5002 は同じ導電膜で形成し、第 1 の走査線 5004 と第 2 の走査線 5003 は同じ導電膜で形成する。また 5005 はスイッチング用トランジスタであり、第 1 の走査線 5004 の一部がそのゲート電極として機能する。また、5007 は駆動用トランジスタであり、第 2 の走査線 5003 の一部がそのゲート電極として機能する。5008 は電流制御用トランジスタに相当する。駆動用トランジスタ 5007 は、その L/W が電流制御用トランジスタ 5008 よりも大きくなるように、活性層が曲がりくねっている。5009 は画素電極に相当し、電界発光層

や陰極（共に図示せず）と重なる領域（発光エリア）11010において発光する。

。

### 【0066】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

### 【0067】

#### 【実施例4】

本実施例では、図1に示した画素の、図5とは異なる上面図の一実施例について説明する。図11に本実施例の画素の上面図を示す。

### 【0068】

11001は信号線、11002は電源線に相当し、11004は第1の走査線、11003は第2の走査線に相当する。本実施例では、信号線11001と電源線11002は同じ導電膜で形成し、第1の走査線11004と第2の走査線11003は同じ導電膜で形成する。また11005はスイッチング用トランジスタであり、第1の走査線11004の一部がそのゲート電極として機能する。また、11007は駆動用トランジスタであり、第2の走査線11003の一部がそのゲート電極として機能する。11008は電流制御用トランジスタに相当する。駆動用トランジスタ11007は、そのL/Wが電流制御用トランジスタ11008よりも大きくなるように、活性層が曲がりくねっている。11009は画素電極に相当し、電界発光層や陰極（共に図示せず）と重なる領域（発光エリア）11010において発光する。

### 【0069】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

### 【0070】

#### 【実施例5】

本実施例では、画素の断面構造について説明する。

### 【0071】

図12（A）に、駆動用トランジスタ1221がP型で、発光素子1222が

ら発せられる光が陽極1223側に抜ける場合の、画素の断面図を示す。図12 (A) では、発光素子1222の陽極1223と駆動用トランジスタ1221が電気的に接続されており、陽極1223上に電界発光層1224、陰極1225が順に積層されている。陰極1225は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして電界発光層1224は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陽極1223上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極1223は光を透過する透明導電膜を用いて形成し、例えばITOの他、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。

#### 【0072】

陽極1223と、電界発光層1224と、陰極1225とが重なっている部分が発光素子1222に相当する。図12 (A) に示した画素の場合、発光素子1222から発せられる光は、白抜きの矢印で示すように陽極1223側に抜ける。

#### 【0073】

図12 (B) に、駆動用トランジスタ1201がN型で、発光素子1202から発せられる光が陽極1205側に抜ける場合の、画素の断面図を示す。図12 (B) では、発光素子1202の陰極1203と駆動用トランジスタ1201が電気的に接続されており、陰極1203上に電界発光層1204、陽極1205が順に積層されている。陰極1203は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして電界発光層1204は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極1203上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極1205は光を透過する透明導電膜を用いて形成し、

例えばITOの他、酸化インジウムに2～20%の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。

#### 【0074】

陰極1203と、電界発光層1204と、陽極1205とが重なっている部分が発光素子1202に相当する。図12 (B) に示した画素の場合、発光素子1202から発せられる光は、白抜きの矢印で示すように陽極1205側に抜ける。

#### 【0075】

なお本実施例では、駆動用トランジスタと発光素子が電気的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

#### 【0076】

##### [実施例6]

本発明の画素構成を用いた駆動タイミングの一例を、図13を用いて説明する。

#### 【0077】

図13はデジタル時間階調方式を用い、4ビット階調を表現する場合の例である。データ保持期間Ts1～Ts4は、その長さの比をTs1:Ts2:Ts3:Ts4 = 2<sup>3</sup>:2<sup>2</sup>:2<sup>1</sup>:2<sup>0</sup> = 8:4:2:1としている。

#### 【0078】

動作について説明する。まず、書き込み期間Tb1において、1行目から順に第1の走査線が選択され、スイッチング用トランジスタがオンする。次に、信号線よりビデオ信号が各画素に入力され、その電位によって各画素の発光、非発光が制御される。ビデオ信号の書き込みが完了した行においては、直ちにデータ保持期間Ts1へと移る。同じ動作が、最終行まで行われ、期間Ta1が終了する。このときデータ保持期間Ts1が終了した行から順に期間Tb2へ移る。

#### 【0079】

ここで、書き込み期間よりも短いデータ保持期間を有するサブフレーム期間(ここではSF4が該当する)においては、データ保持期間の終了後、直ちに次の

書き込み期間が開始しないよう、消去期間 2102 を設ける。消去期間において、発光素子は、強制的に非発光状態とされる。

#### 【0080】

ここでは 4 ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、発光の順番は Ts1 ~ Ts4 である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。

#### 【0081】

##### 【実施例 7】

本発明の表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

#### 【0082】

具体的に前記電子機器として、携帯情報端末（携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等）、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図 6 に示す。

#### 【0083】

図 6 (A) 表示ディスプレイであり、筐体 6001、音声出力部 6002、表示部 6003 等を含む。本発明の表示装置は表示部 6003 に用いることができる。表示装置は、パソコン用、TV 放送受信用、広告表示用など全ての情報表示装置が含まれる。

#### 【0084】

図 6 (B) はモバイルコンピュータであり、本体 6101、スタイルス 6102、表示部 6103、操作ボタン 6104、外部インターフェイス 6105 等を含む。本発明の表示装置は表示部 6103 に用いることができる。

#### 【0085】

図 6 (C) はゲーム機であり、本体 6201、表示部 6202、操作ボタン 6203 等を含む。本発明の表示装置は表示部 6202 に用いることができる。

**【0086】**

図6 (D) は携帯電話であり、本体6301、音声出力部6302、音声入力部6303、表示部6304、操作スイッチ6305、アンテナ6306等を含む。本発明の表示装置は表示部6304に用いることができる。

**【0087】**

以上のように、本発明の表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

**【0088】****【発明の効果】**

電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、スイッチング用トランジスタのオフ電流を低く抑えたりしなくとも、発光素子に流れる電流に影響しない。また、電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

**【0089】**

また、スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

**【図面の簡単な説明】**

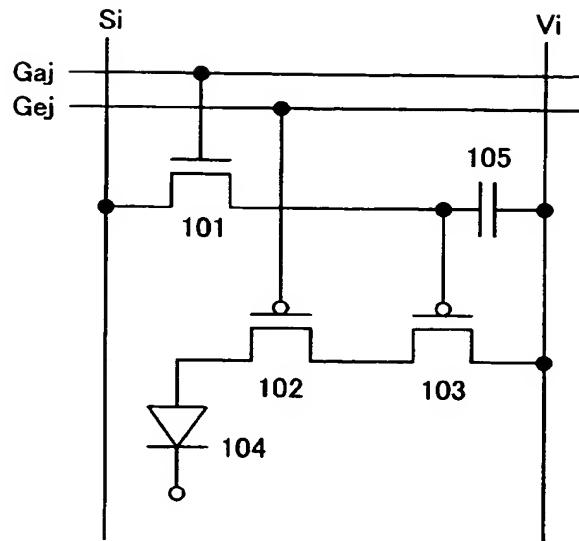
- 【図1】 本発明の一実施形態を示す図。
- 【図2】 本発明の一実施形態を示す図。
- 【図3】 本発明の一実施形態を示す図。
- 【図4】 信号線駆動回路の一構成例を示す図。
- 【図5】 本発明の上面図の一例を示す図。
- 【図6】 本発明が適用可能な電子機器の例を示す図。
- 【図7】 従来例を示す図。
- 【図8】 外部回路とパネルの概要を示す図。
- 【図9】 走査線駆動回路の一構成例を示す図。
- 【図10】 走査線駆動回路の一構成例を示す図。

- 【図11】 本発明の上面図の一例を示す図。
- 【図12】 本発明の断面構造の一例を示す図。
- 【図13】 本発明の動作タイミングの一例を示す図。

【書類名】

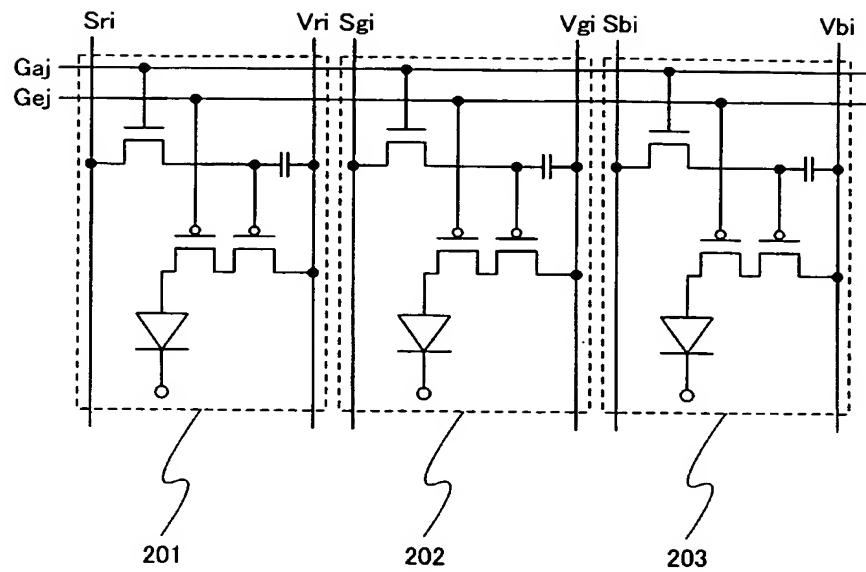
図面

【図 1】



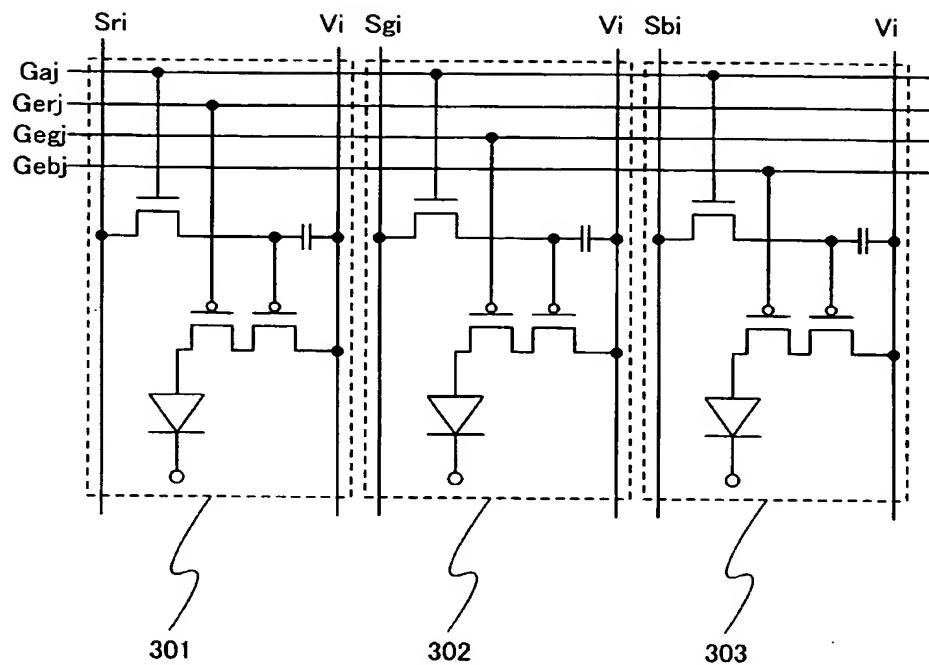
- 101 スイッチング用トランジスタ
- 102 駆動用トランジスタ
- 103 電流制御用トランジスタ
- 104 発光素子
- 105 容量素子

【図2】



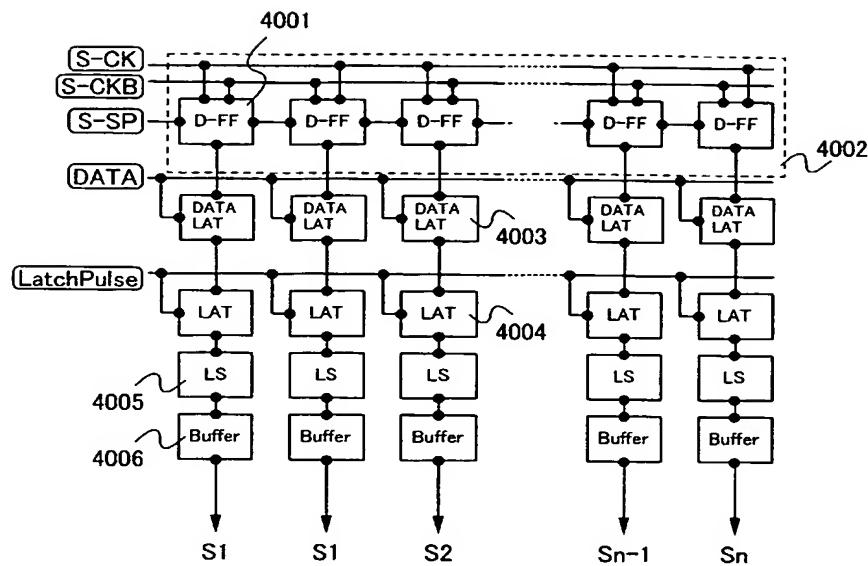
201 赤の画素  
202 緑の画素  
203 青の画素

【図3】



301 赤の画素  
302 緑の画素  
303 青の画素

【図 4】



4001 : D-フリップフロップ

4002 : シフトレジスタ

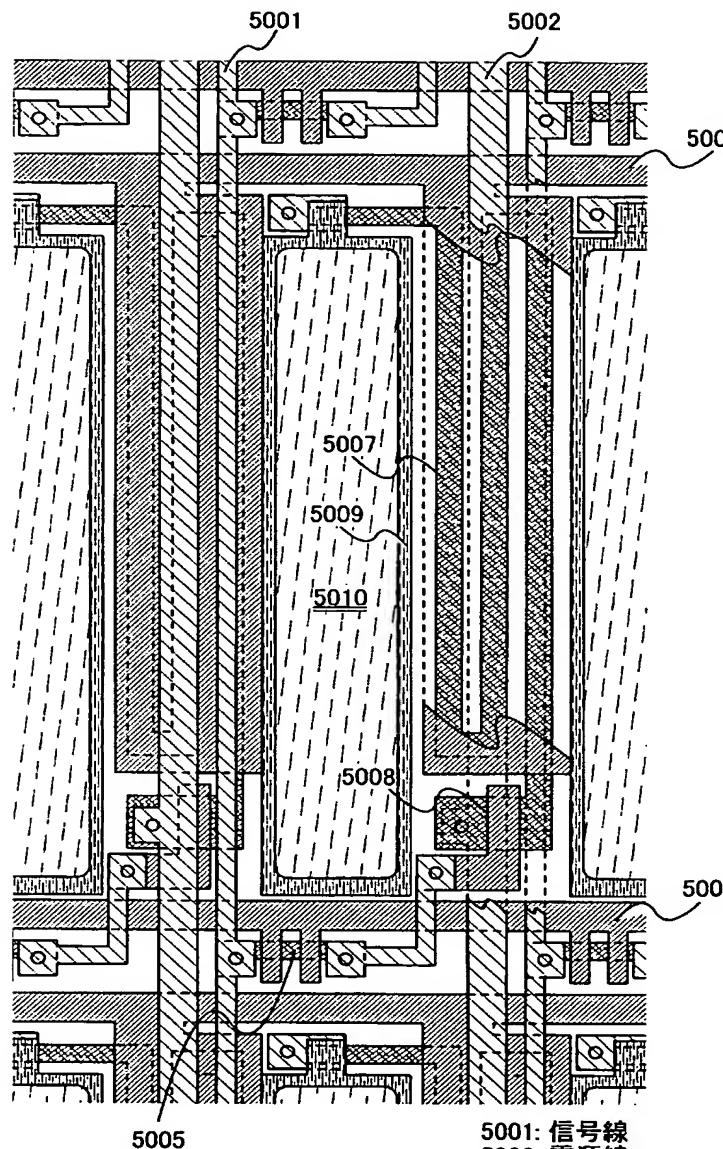
4003 : データラッチ回路

4004 : ラッチ回路

4005 : レベルシフタ

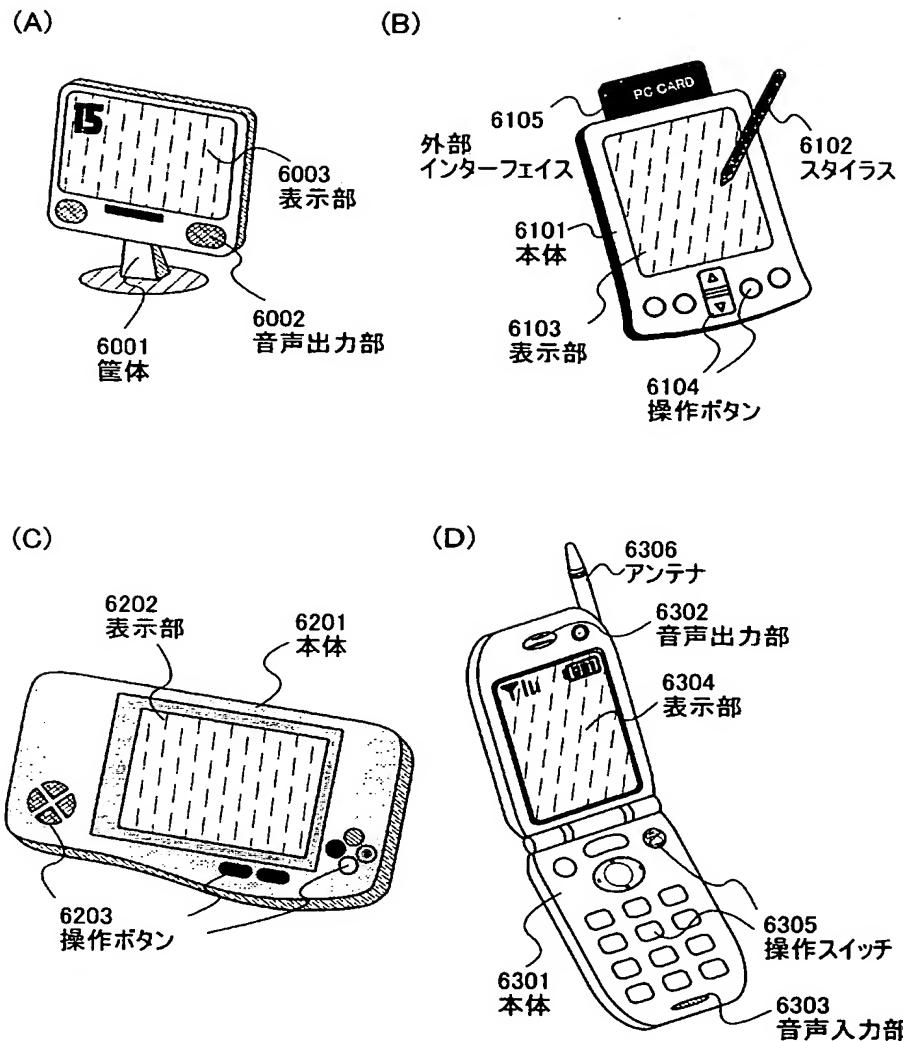
4006 : バッファ

【図 5】

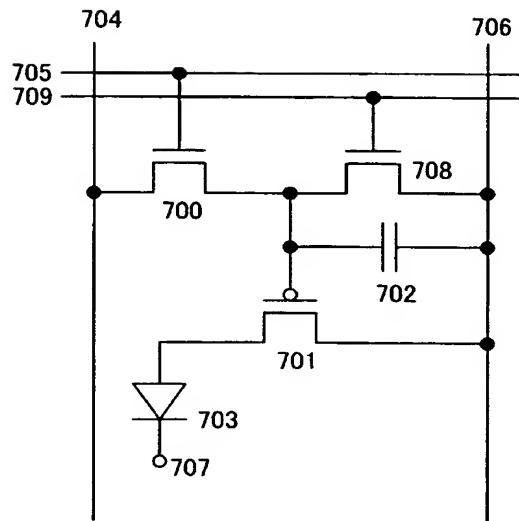


5001: 信号線  
5002: 電源線  
5003: 第2の走査線  
5004: 第1の走査線  
5005: スイッチング用トランジスタ  
5007: 駆動用トランジスタ  
5008: 電流制御用トランジスタ  
5009: 画素電極  
5010: 発光エリア

【図 6】

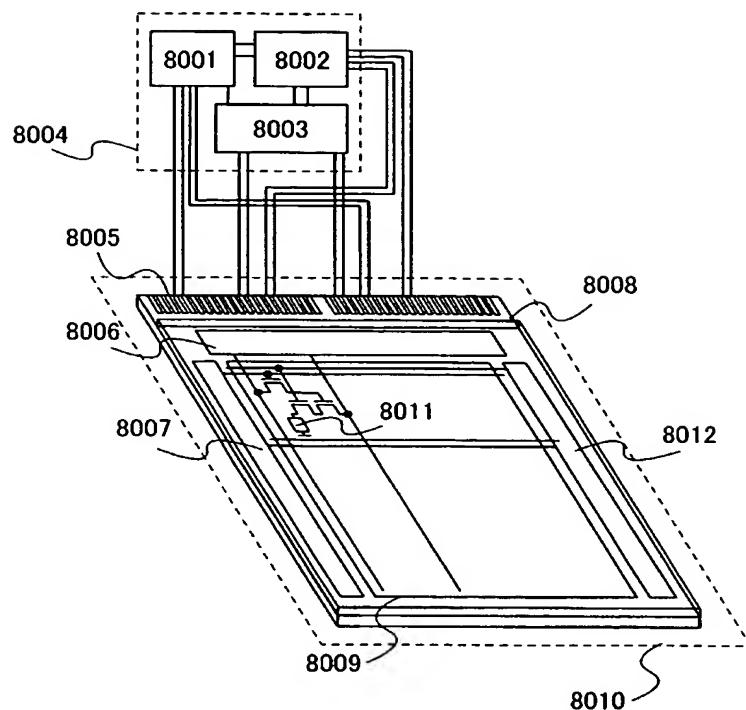


【図 7】



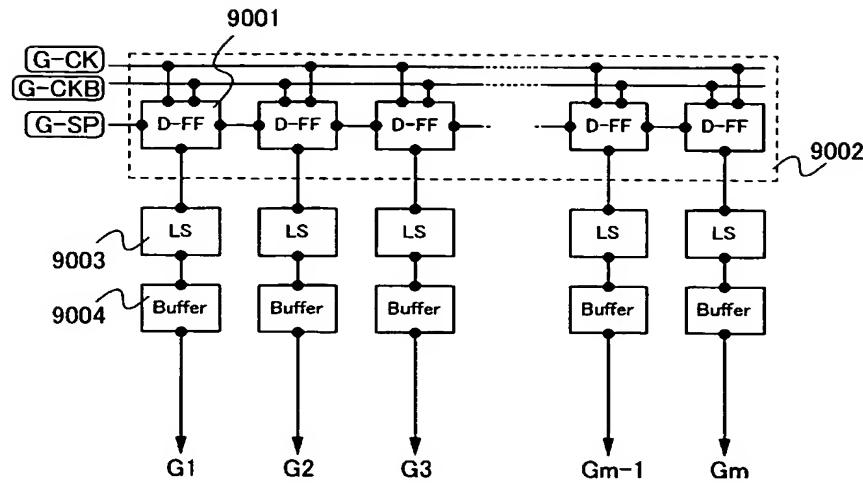
- 700 スイッチング用トランジスタ
- 701 駆動用トランジスタ
- 702 容量素子
- 703 発光素子
- 704 信号線
- 705 第1の走査線
- 706 電源線
- 707 対向電極
- 708 消去用トランジスタ
- 709 第2の走査線

【図 8】



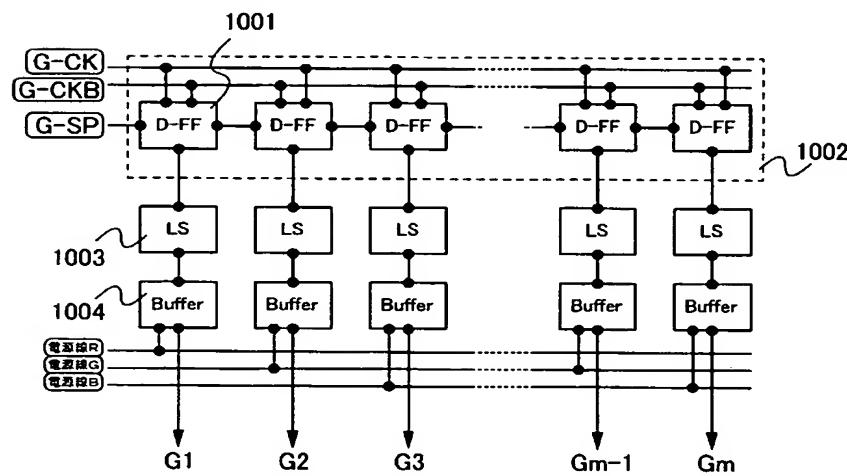
- 8001 : A/D変換部
- 8002 : 電源部
- 8003 : 信号生成部
- 8004 : 外部回路
- 8005 : FPC接続部
- 8006 : 信号線駆動回路
- 8007 : 第1の走査線駆動回路
- 8008 : 基板
- 8009 : 画素部
- 8010 : パネル
- 8011 : OLED素子
- 8012 : 第2の走査線駆動回路

【図 9】



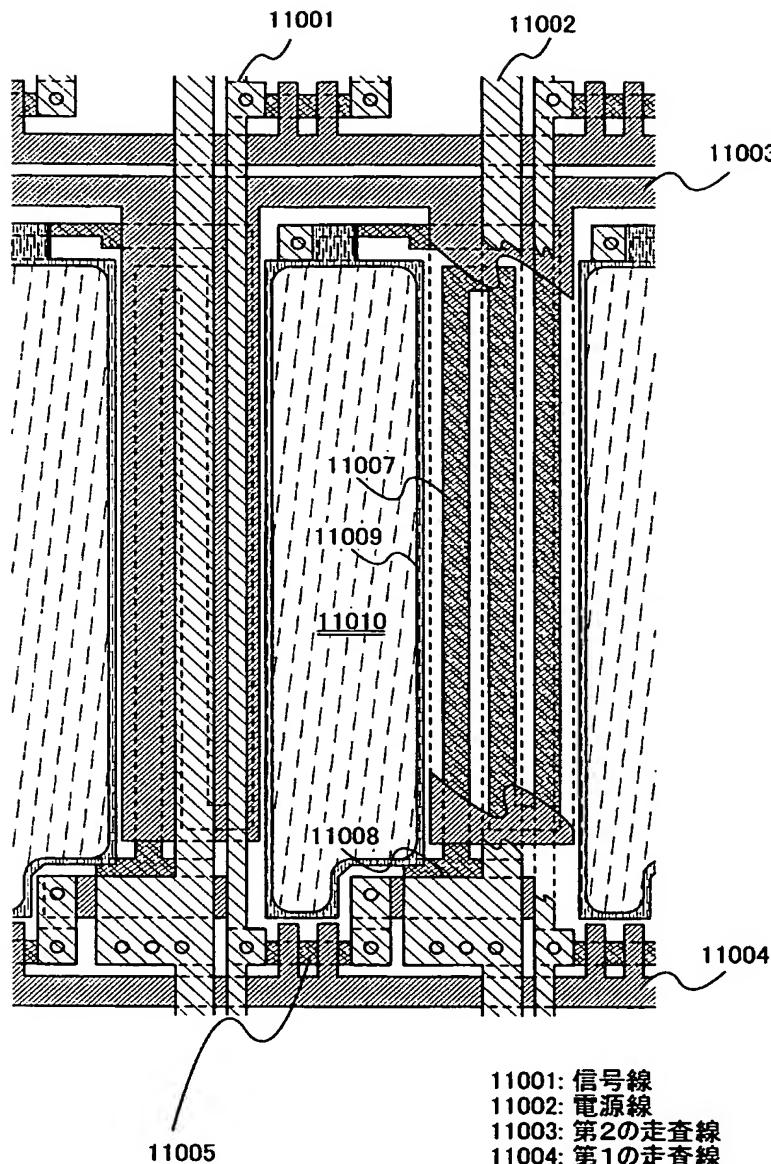
9001 : D-フリップフロップ  
 9002 : シフトレジスタ  
 9003 : レベルシフタ  
 9004 : バッファ

【図 10】



1001 : D-フリップフロップ  
 1002 : シフトレジスタ  
 1003 : レベルシフタ  
 1004 : バッファ

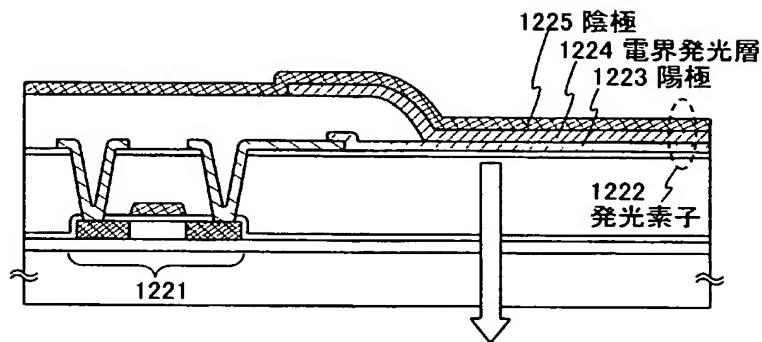
【図 11】



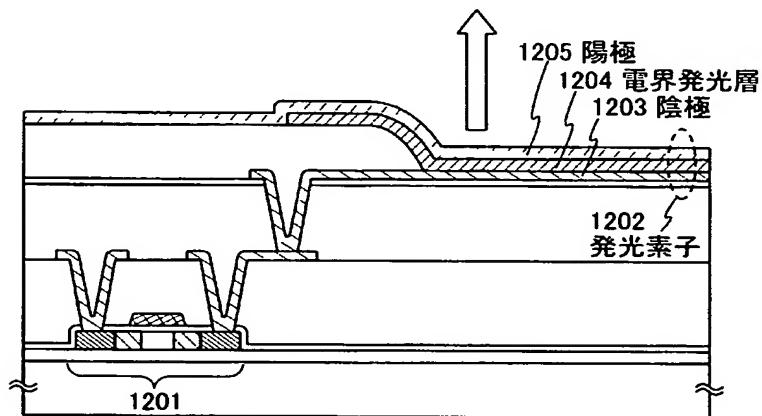
11001: 信号線  
11002: 電源線  
11003: 第2の走査線  
11004: 第1の走査線  
11005: スイッチング用トランジスタ  
11007: 駆動用トランジスタ  
11008: 電流制御用トランジスタ  
11009: 画素電極  
11010: 発光エリア

【図12】

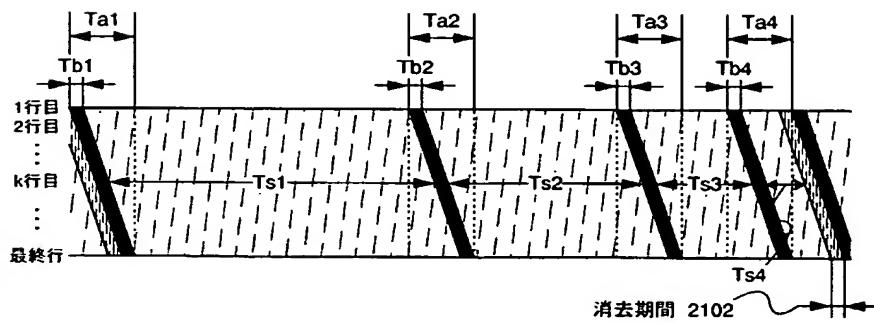
(A)



(B)



【図13】



【書類名】 要約書

【要約】

【課題】 スイッチング用トランジスタのオフ電流を低く抑えたり、容量素子の大容量化を図らずとも、駆動用トランジスタの特性のばらつきに起因する、画素間における発光素子の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

【解決手段】 本発明では、駆動用トランジスタを消去用トランジスタと兼ね、前記駆動用トランジスタは飽和領域で動作させる。前記駆動用トランジスタのゲートを消去用の走査線に接続し、前記駆動用トランジスタは、前記消去用の走査線の電位により、電流を流せる状態、流せない状態に選択できる。また、前記駆動用トランジスタと直列に、線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号は前記電流制御用トランジスタのゲートに入力する。

【選択図】 図1

特願 2003-139563

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所